第3章

論理ブロックと専用機能ブロック

Spartan-3Eファミリの概要

酒井浩昭，小久保賢二

ここでは，付属FPGA基板に実装されているFPGA「Spartan-3Eファミリ」の特徴について解説する．Spartan-3Eファミリは，論理ブロックやI/Oブロックのほかに，メモリや乗算器，クロック管理などの専用機能ブロックを持つ．（編集部）

米国Xilinx社の「Spartan-3Eファミリ」は，大量生産される民生機器でも使われている低コストFPGA（field programmable gate array）です．ここでは，Spartan-3Eの位置付けと，想定される使用方法について簡単に説明します．また，Spartan-3Eに搭載されている各種機能を解説します．

1. Spartan-3Eファミリの位置付けを知る

Xilinx社では，90nmプロセス技術によって製造される低コストFPGA製品群を総称して「Spartan-3 Generation FPGA」と呼んでいます．この製品群の中におけるSpatran-3Eの位置付けを**図1**に示します．Spartan-3Eは，ユーザI/Oの数を基準にして比べると，より論理ブロックを多く搭載するFPGAファミリであることが分かります．

Spartan-3Eファミリの詳細を**表1**に示します．付属FPGA

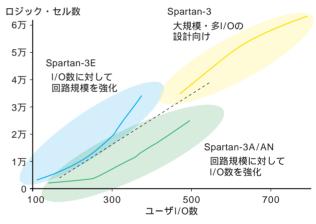



図1　Spartan-3 GenerationにおけるSpartan-3Eの位置付け
横軸にユーザI/Oの数，縦軸に論理ブロック数を示している．Spartan-3Eは，ユーザI/Oの数を基準にして比べると，より論理ブロックを多く搭載するファミリである．

表1　Spartan-3Eファミリの概要

型　名	システム・ゲート	ロジック・セル	CLBアレイ（1CLB＝4スライス）			分散RAM（ビット）	Block RAM（ビット）	乗算器	DCM数	最大ユーザI/O数	最大差動I/O数	パッケージ
			ロウ	カラム	総数							
XC3S100E	10万	2,160	22	16	240	15K	72K	4	2	108	40	VQ100，TQ144
XC3S250E	25万	5,508	34	26	612	38K	216K	12	4	172	68	VQ100，TQ144，PQ208，FT256
XC3S500E	50万	10,476	46	34	1,164	73K	360K	20	4	232	92	CP132，PQ208，FT256，FG320
XC3S1200E	120万	19,512	60	46	2,168	136K	504K	28	8	304	124	FT256，FG320，FG400
XC3S1600E	160万	33,192	76	58	3,688	231K	648K	36	8	376	156	FG320，FG400，FG484

※XC3S250E-VQ100のI/O数は66

KeyWord　FPGA，Spartan-3E，XC3S250E，クロック管理，DCM，メモリ，乗算器，コンフィグレーション，DDR

基板に搭載されているXC3S250E-VQ100は，66本のユーザI/Oしかありませんが，25万ゲート相当の論理ブロックを搭載しています．

このような特徴を持ったFPGAは，例えば制御装置への応用が考えられます．監視する信号は数本しかなくても，その状態に合わせて複雑な処理を行う制御装置では，ピン数に対して回路規模が大きくなります．

また，別の応用先としては，ディジタル信号処理装置が挙げられます．無線アクセス装置で使われるディジタル・アップダウン・コンバータなどの演算処理には，低コストで演算機能を豊富に持つFPGAは魅力的に感じます．

2．Spartan-3Eの基本機能を知る

Spartan-3Eに搭載されている主な機能について説明します．既にSpartan-3の使用経験がある方のために，Spartan-3との違いについても触れます．

Spartan-3Eは，図2に示すような機能ブロックから構成されています．

- 論理ブロック（CLB：configurable logic block）
- I/Oブロック（IOB）
- クロック管理ブロック（DCM，BUFG）
- メモリ・ブロック（BRAM）
- 乗算器ブロック（MULT）
- コンフィグレーション回路

● 論理ブロック（CLB）

FPGAという名前は，CLBの構造に由来すると言っても過言ではありません．論理回路を自由に構成するための基本的なしくみです．

CLBは，順序回路や組み合わせ回路を構成するための論理ブロックです．四つのスライス（SLICE）から構成されています（図3）．

各スライスは隣接するスイッチ・マトリックスを介して内部リソースを接続します．CLBの内部ではスライスは左右2個ずつに区分けされ，SLICEMとSLICELと呼ばれています．

2種類のスライスは，図4に示すように，それぞれ二つの4入力ルックアップ・テーブル（LUT：look-up table）と二つのフリップフロップ，マルチプレクサ（MUX）などで構成されています．SLICELのルックアップ・テーブルは組み合わせ回路のみを実現できます（LUT4）．SLICEMではさらに，メモリ（RAM16；分散型RAM）や16ビット・シフト・レジスタ（SRL16）を実現できます．

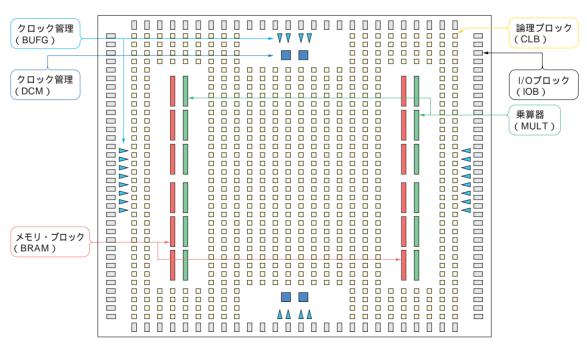



図2 XC3S250Eの構造

論理ブロック（CLB：configurable logic block），I/Oブロック（IOB），クロック管理ブロック（DCM，BUFG），メモリ・ブロック（BRAM），乗算器ブロック（MULT），コンフィグレーション回路から構成されている．

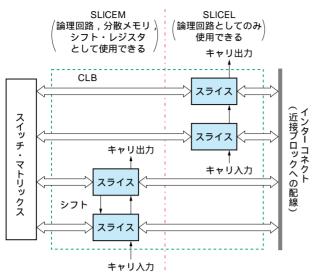



図3　CLBの構造
一つのCLBは，四つのスライス(Slice)で構成される．左側のスライスは，論理回路以外の機能としても使用できる．

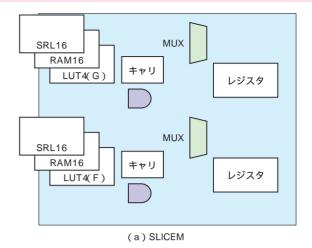
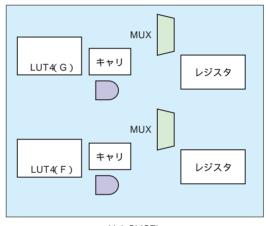
FPGAでは，ルックアップ・テーブルを使って組み合わせ回路を実現します．ANDゲートやORゲートなどのゲート素子を使って論理を構成するわけではありません．ルックアップ・テーブルはメモリ・セルで構成されています．このメモリ・セルに所望の入出力論理値を書き込むことによって論理ゲートと同等の機能を果たします．

例えば2入力ANDを考えてみます(図5)．真理値表の入力値をメモリのアドレス，出力値をメモリのデータに置き換えれば，ゲートと同じ論理がルックアップ・テーブルで実現できることが分かります．

ゲートをメモリ・セルで置き換えていることが分かれば，ルックアップ・テーブルで分散型RAMやシフト・レジスタを実現できることも納得できると思います．一つの4入力ルックアップ・テーブルでは，16ビットのメモリを構成できます．また16ビットまでのシフト・レジスタを構成できます．ルックアップ・テーブルを複数接続することによって，より大きなメモリや多段のシフト・レジスタを構成することもできます．

● I/Oブロック

I/Oブロックは，論理ブロックとI/Oピンとのインターフェースを行います．主として図6の機能を持ちます．

- 入力/出力/3ステート・レジスタ
- プログラマブル入力/出力バッファ
- プログラマブル遅延

(a) SLICEM

(b) SLICEL

図4　SLICEMとSLICEL
SLICELのルックアップ・テーブルは組み合わせ回路のみを実現できる(LUT4)．SLICEMではさらに，メモリ(RAM16；分散型RAM)や16ビット・シフト・レジスタ(SRL16)を実現できる．

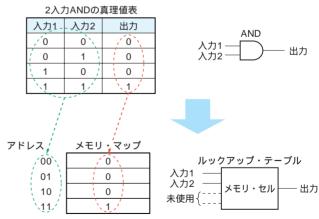



図5　ルックアップ・テーブルによる組み合わせ回路の実現
真理値表の入力値をメモリのアドレス，出力値をメモリのデータに置き換えれば，ゲートと同じ論理がルックアップ・テーブルで実現できる．

3

(1) 入力/出力/3ステート・レジスタ

出力信号や入力信号，3ステート信号に対してそれぞれ搭載するフリップフロップです．I/Oピンの位置によらず，入力パッドからフリップフロップまでの遅延値や，フリップフロップから出力パッドまでの遅延値が一定に保たれています．バス・データの遅延差（スキュー）を抑えるために役立ちます．

また，フリップフロップは，入力，出力，3ステートそれぞれペアで搭載されていて，DDR（double data rate）インターフェースを実現できます．図7のように，IOB-CLK内部にある二つのフリップフロップの入力信号をそれぞれ“L”，“H”に固定すれば，IOB-DATAのデータ線と同相の

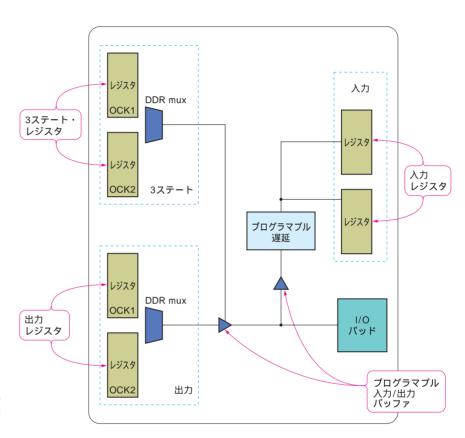



図6 I/Oブロックの構造
入力/出力/3ステート・レジスタ，プログラマブル入力/出力バッファ，プログラマブル遅延などで構成されている．

（a）ブロック図

（b）タイミング・チャート

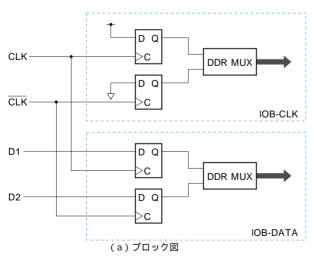
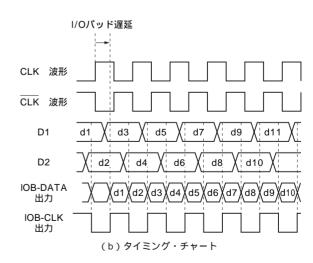



図7 I/OブロックによるDDRインターフェースの実現例
IOB-CLK内部にある二つのフリップフロップの入力信号をそれぞれ“L”，“H”レベルに固定すれば，IOB-DATAのデータ線と同相のエッジを持つクロック出力を得ることもできる．

エッジを持つクロック出力を得ることもできます．

(2) プログラマブル入力/出力バッファ

入出力バッファは，LVTTLやLVCMOSなどの13種類のシングル・エンドI/O規格と，LVDSやLVPECLなどの9種類の差動I/O規格に対応しています(表2)．LVTTLとLVCMOSでは，出力ドライブ電流を選択できます．

(3) プログラマブル遅延

入力信号に対してデータを0～約5.8nsまで段階的に遅延させるプログラマブル遅延機能を持ちます．

図8のように，遅延ブロックは初段遅延部と後段遅延部に分かれています．初段遅延部で比較的大きな遅延を設定し，後段遅延部で微調整を行うしくみです．

遅延時間の設定はFPGA開発ツールを使って行います．遅延させたい値を指定することによって，どの遅延パスを使うかをツールが自動的に決定するので，難しい設定は必要ありません．

また後段の微調整は，同期入力(I/Oブロックの入力フリップフロップを使用するルート)に対しては約500psごと，非同期入力(I/Oブロックの入力フリップフロップを使用しないルート)に対しては約250psごとの調整ができます．

この機能により，従来はプリント基板上で合わせ込む必要のあった遅延時間の調整を，FPGAの内部でできるようになります．また，期待通りのタイミングで信号が入力されてこなかったような場合にも，FPGAの内部でタイミングを調整できるようになります．

すべてのI/Oは，複数のI/Oバンクと呼ばれるグループに分けられています．Spartan-3Eは四つのI/Oバンクを持ちます(図9)．I/Oバンクは，同一のI/O電源電圧が適用されるグループと考えれば分かりやすいでしょう．

表2　Spartan-3Eが対応するI/O規格

	I/O規格	V_{CCO}(V)	クラスなど
シングル・エンド	LVCMOS (low voltage CMOS)	1.2	2mA,
		1.5	2mA, 4mA, 6mA,
		1.8	2mA, 4mA, 6mA, 8mA,
		2.5	2mA, 4mA, 6mA, 8mA, 12mA,
		3.3	2mA, 4mA, 6mA, 8mA, 12mA, 16mA,
	LVTTL (low voltage-transistor-transistor-logic)	3.3	8mA, 12mA, 16mA,
	PCI (peripheral component interconnect)	3.0	33MHz
			66MHz
	PCI-X	3.0	—
シングル・エンドおよび差動	HSTL (high speed transceiver logic)	1.8	I
			III
	SSTL (stub series terminated logic)	1.8	I
		2.5	I
差動	LVDS (low voltage differential signaling)	2.5	Standard
			Bus
			mini
	LVPECL (low voltage positive emitter coupled logic)	2.5	—
	RSDS (reduced swing differential signaling)	2.5	—

● クロック管理ブロック(DCM，BUFG)

FPGAの性能を引き出す上で，FPGAが持つクロック・リソースの構成をきちんと理解することが重要です．逆に，

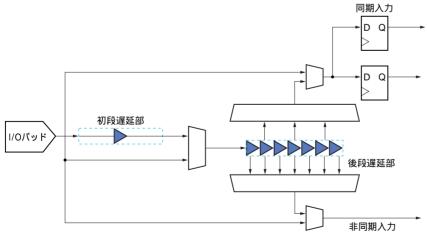



図8　プログラマブル遅延エレメント
初段遅延部と後段遅延部に分かれている．初段遅延部で比較的大きな遅延を設定し，後段遅延部で微調整を行う．

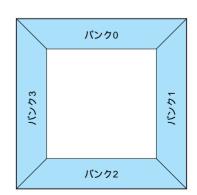



図9 I/Oバンク
Spartan-3Eは四つのI/Oバンクを持つ．I/Oバンクごとに I/O電圧を設定できる．

クロック・リソースの使い方を誤ると，さまざまな副作用により回路の動作が不安定になるので，しっかりと理解して使用してください．

Spartan-3Eには，クロック関連のリソースとして，クロック管理機能のDCM（digital clock manager），クロック・バッファ（BUFG），グローバル・クロック・ネットワークがあります．

(1) DCM

DCMはクロックの位相を管理したり，さまざまな周波数のクロックを生成したりするモジュールです．本誌付属のXC3S250Eは，四つのDCMを持ちます．図10にDCMのブロック図を示します．

DCMの中心的な機能はDLL（delay locked loop）です．フィードバック・ループからの遅延情報をもとに，クロック線の伝播遅延がゼロになるように，内部の遅延タップを利用してスキューを調整します．また，DLLの出力には入力クロックに対して同位相で出力するCLK0，入力クロックに対して90°単位で位相を調整して出力するCLK90，CLK180，CLK270，入力クロックに対して2倍の周波数を出力するCLK2X，CLK2X180（180°位相シフト），分周クロックを出力するCLKDVがあります．

DFS（ディジタル周波数合成）ブロックは，入力したクロックに対して，

出力クロック：M/D × 入力クロック

（M＝2～32の整数，D＝1～32の整数）

のクロックを合成することができます．1系統のクロック入力から複数のクロック周波数を作成することができるので，ボード上に搭載されるクロック発振器などの部品点数の削減に役立ちます．

PS（位相シフト）は，入力クロック周期の1/256単位で位相調整を行います．この機能は，FPGAの入出力タイミングの見積もりが難しいインターフェースに使用できます．また，タイミング見積もりと実機との差分がでた場合に，この位相シフトによって差分を吸収するといった具合に，実機検証工程におけるタイミング調整にも役立ちます．

(2) クロック・バッファとグローバル・クロック・ネットワーク

クロック・バッファは用途によって3種類の構成を取ることができます．

- クロック入力を単純に内部フリップフロップに配るために使用する低スキュー・バッファBUFG
- クロックを止めるイネーブル信号を持ったクロック・バッファBUFGCE
- 2系統のクロック入力をグリッジなしで切り替えるクロック・バッファBUFGMUX

本誌付属のXC3S250Eでは，16個のクロック・バッファを搭載しています．これらのバッファを介してグローバル・クロック・ネットワークへと信号を供給します．

図11のように，XC3S250Eではデバイスを4分割した各エリアに対して8本ずつのグローバル・ネットワークが用意されています．各クロック信号はこのグローバル・ネットワークを通じて，デバイス内部の各フリップフロップへ供給されます．クロック信号をFPGAから入力する際には，クロック専用ピン（GCLK，RHCLK，LHCLK）を使用

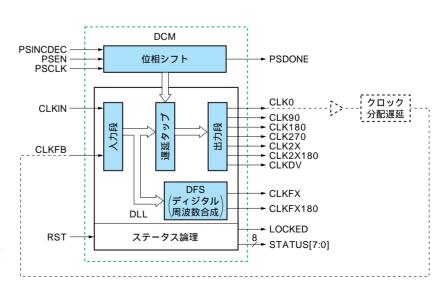



図10
DCMのブロック図
DLL（delay locked loop），DFS（ディジタル周波数合成），位相シフト，ステータス論理の四つのブロックで構成される．

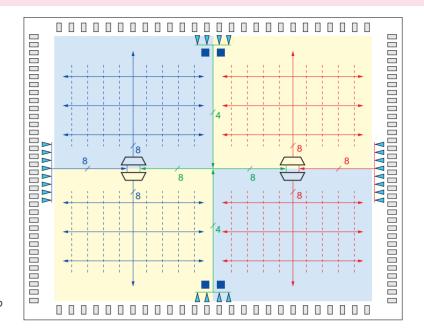



図11
クロック・リソースとグローバル・ネットワーク
XC3S250Eではデバイスを4分割した各エリアに対して8本ずつのグローバル・ネットワークが用意されている．

します．なお，GCLKから入力したクロックは，デバイスの全体のエリアに対して供給することができますが，RHCLK，LHCLKから入力したクロックはFPGAの半分(左右で2分割)の領域へのみ供給されます．

Spartan-3Eでは，この上下左右に搭載されているクロック・バッファの性能が異なります．上下に搭載されているクロック・バッファの方が，左右に搭載されているクロック・バッファよりも高い周波数を駆動できます．230MHzを超えるクロック信号を使用する場合には，上下に搭載されているクロック・バッファを使用する必要があります．

● メモリ・ブロック

メモリ・ブロックは，「Block RAM」と呼ばれています．1個あたり18Kビットで構成されています．主にRAM(シングル・ポート/デュアル・ポート)，ROM，FIFO，データ幅変換器などとして使用できます．

18Kビットのブロックで構成されていると言っても，常に18Kビット分の容量を自由に使えるわけではありません．それは構成可能なデータ幅と深さがあらかじめ決まっているからです(**表3**)．

例えば，1,600ワード×10ビットのメモリが必要な場合を考えます．容量から言えば16Kビットあれば問題ないので，一つのブロックで実現できそうです．しかし，現実にはメモリ・ブロックは10ビット幅の構成では使用できないので，16ビット幅の構成を取らざるを得ません．このため，

表3　ブロックRAMの構成例

メモリ構成	コメント
16K×1ビット	
8K×2ビット	
4K×4ビット	
2K×8ビット	パリティなし
2K×9ビット	パリティあり(1ビット)
1K×16ビット	パリティなし
1K×18ビット	パリティあり(2ビット)
512×32ビット	パリティなし
512×36ビット	パリティあり(4ビット)
256×72ビット	シングル・ポートのみ

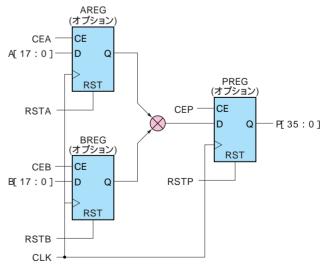



図12　乗算器ブロックの構造
18ビット×18ビット以下の乗算を実行できる．入出力段にそれぞれオプションのレジスタ(AREG，BREF，PREG)が追加されている．

1000ワード×16ビット構成のメモリ・ブロックを2個使用することになります．設計の初期段階でリソースを見積もる場合には，こういった制約に注意する必要があります．

また，メモリ・ブロックを大きなLUTとして使用することもできます．

● 乗算器ブロック

Spartan-3Eでは，18ビット×18ビット以下の乗算を実行できるブロックを持ちます（図12）．乗算器ブロックは，メモリ・ブロックと同じ数だけ搭載されています．論理ブロックを使用して乗算器を実現するよりも，性能と消費電力の両面で有利になり，さらに論理ブロック数を削減できるので，積極的に乗算器を使うように心掛けましょう．

Spartan-3の乗算器と比べて，新たにレジスタ（AREG, BREF，PREG）が追加になりました．これらのレジスタは，主に乗算性能を向上させたい時やCLBレジスタを節約するために使用します．

● コンフィグレーション回路

Spartan-3Eでは，表4に示すコンフィグレーション・モードを持ちます．

この中で，Xilinx社の純正ROMを使用してコンフィグレーションを行う各モードと，ROMを使用しないJTAGモードは，Spartan-3でもサポートされています．さらに，汎用フラッシュ・メモリを使用して直接コンフィグレーションするモードをサポートしているのがSpartan-3Eの特徴です．ほかの目的で，基板上にフラッシュ・メモリを搭載する必要があるのであれば，コンフィグレーション用

表4 Spartan-3Eのコンフィグレーション・モード

モード	説明
Xilinx社の純正ROMを使用する	
Master Serialモード	FPGAがマスタとなり、ROMにクロックを供給する.
	ROMからは1ビット幅のコンフィグレーション・データを受け取る.
Slave Serialモード	FPGAはスレーブとなり、外部からクロックをもらう.
	ROMからは1ビット幅のコンフィグレーション・データを受け取る.
Slave Parallelモード	FPGAはスレーブとなり、外部からクロックをもらう.
	ROMからは8ビット幅のコンフィグレーション・データを受け取る.
汎用フラッシュ・メモリを使用する	
SPIモード	汎用シリアル・フラッシュ・メモリから直接，コンフィグレーション・データを受け取る.
BPIモード	汎用パラレルNOR型フラッシュ・メモリから直接，コンフィグレーション・データを受け取る.
ROMを使用しない	
JTAGモード	パソコンからJTAGピンを経由してコンフィグレーション・データを受け取る.

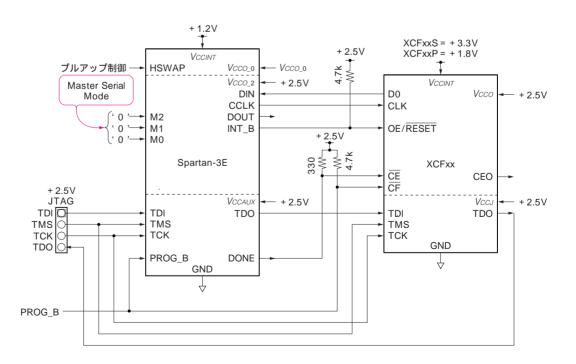



図13 Master Serial ModeとJTAG Modeが使用できるコンフィグレーション制御回路

Platform Cable USBなどのコンフィグレーション用ケーブルを用いてFPGAやコンフィグレーションROMにコンフィグレーション・データを書き込む.

ROMに割かれる基板スペースを削減できるでしょう.

FPGAのコンフィグレーション制御回路は，FPGAユーザが自由に制御できる部分ではないので，詳細は省略します．ここでは，付属FPGA基板でサポートされている「Master Serial Mode」と「JTAG Mode」についてだけ簡単に動作を説明します．図13にMaster Serial ModeとJTAG Modeが使用できるコンフィグレーション制御回路の例を示します.

(1) Master Serial Mode

Master Serial Modeは，FPGAのコンフィグレーション・モードとしては一番基本的なモードです．このモードはFPGAからROMへクロックを与えて，ROMからシリアル・データを取り込む方法です.

以下に大まかなコンフィグレーションのシーケンスを示します.

各電源電圧が要求レベルに達すると，FPGA内部のパワーONリセットが解除されます．この時，PROG_Bピンを“L”にドライブすることによって，コンフィグレーション処理を待たせることができます．初期化が終了すると，FPGAはINITピンを開放し，M[2:0]ピンで設定されているコンフィグレーション・モードを読みに行きます．Master Serial Modeであることが確認されるとCCLKの出力を開始し，ROMはCCLKに同期したデータをFPGAに送信します．コンフィグレーション・データを正常に取得すると，FPGAはスタートアップ・シーケンスに移行します．スタートアップ・シーケンスは八つのフェーズに分かれています．通常，スタートアップ・シーケンスのフェーズ4で開放されるDONEピンを見て，正常にコンフィグレーションが完了したかどうかを判断します(DONEピンはオープン・ドレイン出力のため，開放されると外部プルアップによって“H”を示す).

(2) JTAG Mode

基板上に実装されたROMにコンフィグレーション・データを書き込むときにはJTAGインターフェースが使用されます．またFPGAもJTAGインターフェースを持っていて，パソコンから直接FPGAへのコンフィグレーションを行うことができます．コンフィグレーション・データの受信方法はほかのモードと異なりますが，FPGA内部のコンフィグレーション・シーケンスは前述のMaster Serial Modeと変わりません.

なお，パソコンと基板上のJTAGコネクタとの接続には，Platform Cable USBなどのコンフィグレーション用ケーブルを用います.

参考・引用*文献

(1) Xilinx；Spartan-3E FPGA Family：Complete Data Sheet, March 16, 2007.
(2) Xilinx；Spartan-3 Generation FPGA User Guide, April2, 2007.

3

さかい・ひろあき
こくぼ・けんじ
アヴネット ジャパン(株)

<筆者プロフィール>
酒井浩昭．2002年アヴネット ジャパン入社．現在エンジニアリング部所属.
小久保賢二．1999年アヴネット ジャパン入社．現在エンジニアリング部所属.